

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-169183

(43)Date of publication of application : 14.06.2002

(51)Int.Cl. G02F 1/1368  
G02F 1/1337

(21)Application number : 2000-370174 (71)Applicant : MATSUSHITA ELECTRIC  
IND CO LTD

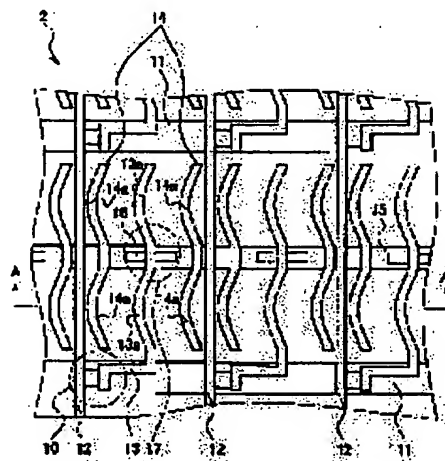
(22)Date of filing : 05.12.2000 (72)Inventor : MAEDA HIROSHI

## (54) LIQUID CRYSTAL DISPLAY ELEMENT AND INFORMATION PROCESSOR PROVIDED THEREWITH

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-performance and inexpensive liquid crystal display element which is restrained to decrease luminance and improved in the utilization of light.

SOLUTION: A array substrate 2 is provided with a TFT 10 arranged for each pixel; a scanning signal wiring 11 connected with the TFT 10, a video signal wiring 12, and a pixel electrode 13; a counter electrode 14 opposing the pixel electrode 13; and common signal wiring 15 electrically connected with the counter electrode 14. The pixel electrode 13 and the counter electrode 14 are wire-like electrodes having curved parts 13a, 14a, and these curved parts are formed circular in shape.



## LEGAL STATUS

[Date of request for examination] 06.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-169183  
(P2002-169183A)

(43) 公開日 平成14年6月14日 (2002. 6. 14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページ数 (参考)
G 0 2 F	1/1368	G 0 2 F	2 H 0 9 0
	1/1337	1/136	5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願2000-370174(P2000-370174)

(22) 出願日 平成12年12月5日 (2000. 12. 5)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 前田 宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

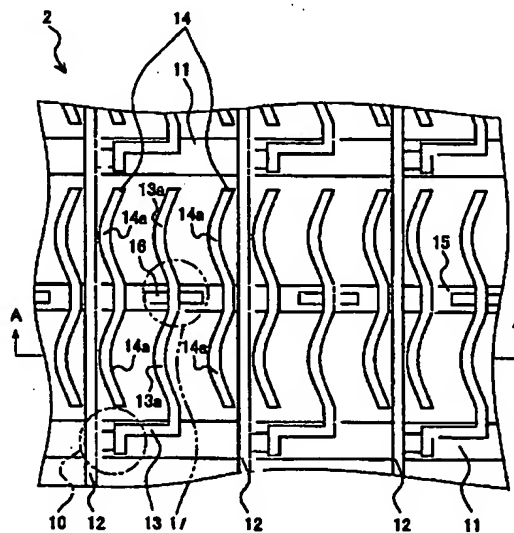
最終頁に続く

(54) 【発明の名称】 液晶表示素子およびそれを備えた情報処理装置

(57) 【要約】

【課題】 輝度の低下が抑制されて光利用効率が向上した、高性能でかつ安価な液晶表示素子を提供する。

【解決手段】 アレイ基板2には、一画素毎に設けられたTFT10と、TFT10に接続された走査信号配線11、映像信号配線12、および画素電極13と、画素電極13に対向する対向電極14と、対向電極14に電気的に接続された共通信号配線15とが設けられている。画素電極13および対向電極14は、屈曲部13a、14aを有する線状電極であり、この屈曲部13a、14aは円弧状に形成されている。



## 【特許請求の範囲】

【請求項1】 アレイ基板と、前記アレイ基板に対向配置された対向基板と、前記両基板間に配置された液晶層とを備えており、前記アレイ基板には、マトリクス状に配置された走査信号配線および映像信号配線と、前記走査信号配線と前記映像信号配線との交差部に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記画素電極に対向する位置に配置された対向電極とが設けられた液晶表示素子において、前記画素電極および対向電極は屈曲部を有し、液晶配向の不連続点によるドメインの発生を抑制する曲線部を前記屈曲部の一部に備えたことを特徴とする液晶表示素子。

【請求項2】 前記画素電極および前記対向電極は屈曲部を有する線状電極であり、かつ、前記屈曲部の形状は円弧状であることを特徴とする請求項1に記載の液晶表示素子。

【請求項3】 請求項1または2に記載の液晶表示素子を備えたことを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、横電界方式にて駆動されるアクティブマトリクス型液晶表示素子に関する。

## 【0002】

【従来の技術】近年、フラットパネルディスプレイの基幹デバイスとして、液晶表示素子の商品化や研究開発が活発に行われており、特に、画像表示に代表される大容量表示に向けてのアプローチが活発である。このような大容量表示を可能とするアクティブマトリクス型の液晶表示素子は、CRT代替として、省電力化、軽量化、薄型化が実現出来るディスプレイとして最も注目されている。

【0003】上記のアクティブマトリクス型の液晶表示素子において、広く用いられている表示モードは、TN（ツイステッドネマティック）モードである。TNモードとは、液晶に対して、基板界面にほぼ垂直な方向の電界を印加することにより、液晶を動作させる表示モードである。しかしながら、TNモードの液晶表示素子においては、その構造に起因する寄生容量の発生が問題となっていた。そこで、この問題を解決する技術として、液晶に印加する電界の方向を基板界面にほぼ平行とする方式である、いわゆる横電界方式の液晶表示素子が、特開昭56-91277号公報や特公昭63-21907号公報などで提案されている。さらに、特開平9-105908号公報には、画素電極および対向電極をくの字型に屈曲させることにより視野角が著しく広くなった横電界方式の液晶表示装置が開示されている。

【0004】図4は、横電界方式が採用された、従来の液晶表示素子のアレイ基板を示す部分拡大平面図であ

り、図5は、図4のB-B矢視断面図であり、前記従来の液晶表示素子の全体構成を示している。以下、図4および図5に基づき、従来の液晶表示素子の構成について説明する。

【0005】図5の断面図に示すように、従来の液晶表示素子101は、アレイ基板102と、アレイ基板102に対向配置された対向基板103と、両基板102、103の間隙内に配置された液晶層104とを備えている。さらに、両基板102、103は、間隙内にガラスファイバーまたは樹脂性の微粒子からなるスペーサ105を設け、樹脂性接着剤からなるシール材106にて貼り合わされている。また、両基板102、103の外側表面には、それぞれ、偏光板107、108が配置されている。

【0006】アレイ基板102は、ガラス基板109上に、マトリクス状の画像表示領域と、外部駆動回路からの信号入力電極群（図示せず）とが設けられた構成である。前記画像表示領域には、図4に示すように、一画素毎に設けられたスイッチング素子の薄膜トランジスタ（以下、TFT（Thin Film Transistor）と称す）110と、TFT110にそれぞれ接続された走査信号配線111、映像信号配線112、および画素電極113と、対向電極114と、共通信号配線115とが設けられている。対向電極114は、画素電極113に対向するように、画素電極113の両側部にそれぞれ配置されている。共通信号配線115は、対向電極114に電気的に接続され、互いに隣接する走査信号配線111間に配置されている。

【0007】画素電極113は、線状に形成された電極（以下、線状電極と称する）であり、屈曲部113aでくの字型に屈折している。さらに、対向電極114も、画素電極113に対応する位置に屈曲部114aを有し、この屈曲部114aはくの字型の形状となっている。

【0008】なお、図5に示されたアレイ基板102において、116はゲート絶縁膜であり、117は保護絶縁膜である。

【0009】一方、対向基板103は、遮光層119と、赤（R）、緑（G）、青（B）からなる色層120と、オーバーコート層121とが、ガラス基板118上に形成された構成である。

【0010】上記従来の液晶表示素子101の駆動方法は、映像信号配線112からTFT110を介して画素電極113に電圧が選択的に供給され、かつ、共通信号配線115から対向電極114に電圧が供給され、画素電極113と対向電極114との電位差から得られる横方向電界によって、液晶層104の液晶分子をスイッチングする方法である。

【0011】以上のように構成された横電界方式の液晶表示素子101は、その構造上、原理的に優れた視野角

特性を実現できる。

【0012】

【発明が解決しようとする課題】しかしながら、上記のような構造の従来の液晶表示素子では、以下に示すような問題が生じる。

【0013】上述したように、上記従来の液晶表示素子は、一つの画素部内に、くの字型の屈曲部を有する画素電極と、該画素電極に対向する対向電極とが設けられた構成である。このため、くの字型の屈曲部の位置に液晶配向の不連続点が生じてドメインが発生し、輝度が低下してしまうという問題が生じる。すなわち、液晶表示素子の透過率が低下してしまうため、高輝度を要求される液晶モニター用途の製品においては、バックライトの輝度を上げることが要求される。これは、製品全体の消費電力の増大やコストアップに繋がる。

【0014】本発明はこれらの問題を解決するために、輝度の低下が抑制されて光利用効率が向上された、高性能でかつ安価な液晶表示素子を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明の請求項1に係る液晶表示素子は、アレイ基板と、前記アレイ基板に対向配置された対向基板と、前記両基板間に配置された液晶層とを備えており、前記アレイ基板には、マトリクス状に配置された走査信号配線および映像信号配線と、前記走査信号配線と前記映像信号配線との交差部に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記画素電極に対向する位置に配置された対向電極とが設けられた液晶表示素子において、前記画素電極および対向電極は屈曲部を有し、液晶配向の不連続点によるドメインの発生を抑制する曲線部を前記屈曲部の一部に備えたことを特徴としている。

【0016】この構成によれば、画素電極および対向電極の屈曲部で、液晶配向の不連続点によるドメインの発生が生じない。従って、輝度の低下を抑制して、光利用効率を向上させることができる。

【0017】これにより、バックライトの消費電力の低減や、バックライトのコスト削減を図ることが可能な、高性能で安価な液晶表示素子を実現することができる。

【0018】さらに、本発明の請求項2に係る液晶表示素子は、請求項1の構成において、前記画素電極および前記対向電極は屈曲部を有する線状電極であり、かつ、前記屈曲部の形状は円弧状であることを特徴としている。

【0019】この構成によれば、屈曲部が円弧状に形成されているため、前記屈曲部において、線状電極である画素電極および対向電極の延びる方向が、緩やかに変化することになる。従って、画素電極および対向電極の延びる方向が屈曲部を境に急に变化する従来の構成と比較

して、画素電極および対向電極の屈曲部で液晶配向の不連続点が生じない。つまり、前記屈曲部でのドメインの発生を防いで輝度の低下を抑制し、光利用効率を向上させることができる。

【0020】これにより、バックライトの消費電力の低減や、バックライトのコスト削減を図ることが可能な、高性能で安価な液晶表示素子を実現することができる。

【0021】また、本発明の情報処理装置は、請求項1または請求項2に記載の液晶表示素子を備えたことを特徴としている。

【0022】一般的に、PC (Personal computer)、TV、および携帯端末などの情報処理装置のディスプレイは、高輝度であることが要求される。従って、この構成によれば、バックライトの輝度を上げることなく、高輝度のディスプレイを備えた情報処理装置を実現することができる。

【0023】これにより、装置全体としての消費電力の増加およびコストアップを抑制することが可能となる。

【0024】

【発明の実施の形態】以下、本発明の一実施形態について、図面を参照しながら説明する。

【0025】図1は、本実施形態の液晶表示素子におけるアレイ基板の一部を示す部分拡大平面図である。また、図2は、図1のA-A矢視断面図であり、かつ本実施形態の液晶表示素子の全体構成を示している。

【0026】図2の断面図に示すように、本実施形態の液晶表示素子1は、アレイ基板2と、アレイ基板2に対向配置された対向基板3と、両基板2、3の間隙内に配置された液晶層4と、前記間隙内に設けられたスペーサ5と、両基板2、3を貼り合わせているシール材6と、両基板2、3の外側表面（液晶層4配置側と反対側の面）にそれぞれ配置された偏光板7、8とを備えている。スペーサ5は、ガラスファイバーや樹脂性の微粒子からなる。シール材6は、樹脂性接着剤である。

【0027】次に、アレイ基板2の構成について説明する。アレイ基板2は、ガラス基板9上に、画素電極13がマトリクス状に配置された画像表示領域と、外部駆動回路からの信号を受け取る信号入力電極群（図示せず）とが設けられた構成である。

【0028】前記画像表示領域には、図1に示すように、1画素毎に設けられたスイッチング素子である薄膜トランジスタ（以下、TFT (Thin Film Transistor) と記す）10と、該TFT 10にそれぞれ接続された走査信号配線11、映像信号配線12、および画素電極13と、画素電極13に対向する対向電極14と、対向電極14に電気的に接続された共通信号配線とが設けられている。走査信号配線11と映像信号配線12とはほぼ直交しており、両配線11、12の各交差部にTFT 10が配置されている。対向電極14は、画素電極13の両側部にそれぞれ配置されている。また、共通信号配線

15は、互いに隣接する走査信号配線11間に配置され、走査信号配線11にはほぼ平行である。さらに、画素電極13と、共通信号配線15に電気的に接続された電極16と、後述するゲート絶縁膜18とにより、補助容量17が形成されている。

【0029】画素電極13は屈曲部13aを2箇所有する線状電極であり、屈曲部13aは円弧状に形成されている。つまり、線状に延びる画素電極13は、その延び方向が屈曲部13aで緩やかに変化する形状となっている。さらに、対向電極14も、画素電極13に対応する形状、すなわち、円弧状の屈曲部14aを有する線状電極となっている。

【0030】次に、図1および図2に加えて、図3に示すTFT10周辺部分の断面図も参照しながら、アレイ基板2のより詳細な構成について、製造工程とともに説明する。

【0031】まず、0.7mm厚のガラス基板9上に、スパッタ法にてアルミニウム(Al)を200nm厚に成膜する。その後、フォトリソグラフィ法を用いてパターンニングし、走査信号配線11と、共通信号配線15と、共通信号配線15に電気的に接続された対向電極14とを、図1に示した形状に形成する。ここで、対向電極14は、後の工程で形成される画素電極13同様、円弧状に屈曲した線状電極として形成される。また、対向電極14は、線幅6 $\mu$ mであり、かつ、隣接する上下の走査信号配線11と短絡しないように、上下の走査信号配線11とそれぞれ10 $\mu$ mの間隔を設けて形成される。

【0032】次に、これらの上層に、スパッタ法にて成膜した膜厚50nmの酸化タンタル膜( $Ta_2O_5$ )と、プラズマCVD法で成膜した膜厚350nmの窒化シリコン( $SiN_x$ )との2層構造からなるゲート絶縁膜18を形成する。さらに、ゲート絶縁膜18上に、プラズマCVD法にて膜厚50nmのアモルファスシリコン(a-Si)膜を積層し、フォトリソグラフィ法にて該a-Si膜を島状にパターンニングして、走査信号配線11上に一画素単位で半導体層19を形成する。さらに、半導体層19上に膜厚100nmの $SiN_x$ 膜を積層し、フォトリソグラフィ法にて、半導体層19上に島状の半導体保護層20を形成する。

【0033】その後、リンを含有したアモルファスシリコン(n<sup>+</sup>形a-Si)をプラズマCVD法にて膜厚50nmに成膜した後、所定形状にパターンニングして、半導体層19上にn<sup>+</sup>形半導体層21を形成する。

【0034】次に、スパッタ法にて膜厚150nmのAl膜、および膜厚50nmのチタン(Ti)膜の2層を連続して成膜する。これら2層の膜をフォトリソグラフィ法にてパターンニングし、映像信号配線12と画素電極13とを、図1に示す形状に形成する。この段階で、スイッチング素子としての、半導体保護膜付きアモル

ファスシリコン薄膜トランジスタ素子(TFT10)が形成される。また、この時、画素電極13は、前工程で形成された対向電極14と対向し、映像信号配線12にはほぼ平行方向で、かつ走査信号配線11にはほぼ垂直方向に延びるようにレイアウトされる。本実施形態における画素電極13は、線幅が6 $\mu$ mであり、対向電極14と同様に円弧状に屈曲した線状電極とされる。

【0035】最後に、これの上層に、プラズマCVD法を用いて、 $SiN_x$ で膜厚360nmの保護絶縁膜22を成膜し、駆動用LSI(Large Scale Integration)を接続する電極(図示せず)をフォトリソグラフィ法にて形成し、アレイ基板2を作成する。

【0036】一方、対向基板3は、ガラス基板23上に、遮光層24と、色層25と、オーバーコート層26とが設けられた構成である。遮光層24は、酸化チタンを顔料として分散させたレジストにて形成されている。色層25は、赤(R)、緑(G)、青(B)のそれぞれの顔料を分散させたレジストからなり、画素ピッチにあわせて周期的に配置されている。オーバーコート層26は、アクリル樹脂からなり、遮光層24および色層25の形成面を平坦化する目的で配置されている。

【0037】上記のように形成されたアレイ基板2および対向基板3は、スペーサ5を設けた後、アレイ基板2の画素電極13形成面と対向基板3の色層25形成面とを向かい合わせて、シール材6にて貼り合わされる。その後、スペーサ5により形成された間隙に液晶組成物が充填され、液晶層4が形成される。なお、両基板2、3を貼り合わせるときの構成部材および工法は一般的な従来法と同じであるため、ここではその説明を省略する。

【0038】最後に、このように貼り合わされた両基板2、3の外側表面に偏光板7、8をそれぞれ貼り付けて、液晶表示素子1を完成させる。

【0039】本実施形態の液晶表示素子1の駆動方法は、映像信号配線12からTFT10を介して画素電極13に電圧を選択的に供給し、かつ、共通信号配線15から対向電極14に電圧を供給し、画素電極13と対向電極14との電位差から得られる横方向電界によって、液晶層4の液晶分子をスイッチングする方法である。

【0040】以上のように、本発明が適用されている液晶表示素子1は、画素電極13および対向電極14の屈曲部13a、14aを円弧状に形成する構成であるため、両電極13、14の延びる方向は、屈曲部13a、14aを境に急に変わらない。従って、本発明の液晶表示素子1は、従来の構成では発生していた屈曲部分のドメインをなくし、輝度の低下を防ぐことが可能となる。実際、本発明者の実験において、本発明の液晶表示素子1は、従来の液晶表示素子よりも輝度が5%増加し、コントラストも向上することが明らかとなった。

【0041】また、本発明の液晶表示素子1を用いることで、同じ消費電力で輝度を5%増加すること、バック

ライトの部材である導光板を薄くすること、あるいは、レンズシートの使用数量を削減すること等が可能となるため、結果的に、低価格かつ軽量化の実現へと繋がる。

【0042】なお、本実施形態では、補助容量17を、共通信号配線15と画素電極13との間に形成したが、前段の走査信号配線11と画素電極13との間に配置してもよい。また、走査信号配線11、共通信号配線15および対向電極14の材料にAlを用い、映像信号配線12および画素電極13の材料にAlおよびTiを用いたが、特にこれらの材料に限定されるものではない。

【0043】また、本実施形態では、スイッチング素子としてアモルファスシリコン薄膜トランジスタ素子を用いたが、ポリシリコン薄膜トランジスタ素子、シリコンウエハから転写されたMOS (Metal Oxide Semiconductor) トランジスタ素子、反射型表示装置の場合はシリコンウエハ上のMOSトランジスタを用いることも可能である。また、絶縁膜を窒化シリコン膜としたが、酸化シリコンまたは樹脂でもよい。

【0044】また、本実施形態の液晶表示素子1を、PC、TV、および携帯端末等の情報処理装置のディスプレイとして用いることにより、低消費電力の情報処理装置を実現することができる。

【0045】

【発明の効果】以上に説明したように、本発明の液晶表示素子によれば、輝度の低下を抑制して光利用効率を向上させることができるので、高コントラストの高品位な表示特性、消費電力の低減、およびコストダウンを実現

することができる。

【0046】また、情報処理装置に対して本発明の液晶表示素子を用いることで、高輝度のディスプレイを備えた低消費電力の情報処理装置を実現することができる

【図面の簡単な説明】

【図1】本発明の一実施形態の液晶表示素子におけるアレイ基板を示す部分拡大平面図である。

【図2】上記液晶表示素子の全体構成を示す、図1のA-A矢視断面図である。

【図3】上記液晶表示素子に設けられたTFTの構成を示す断面図である。

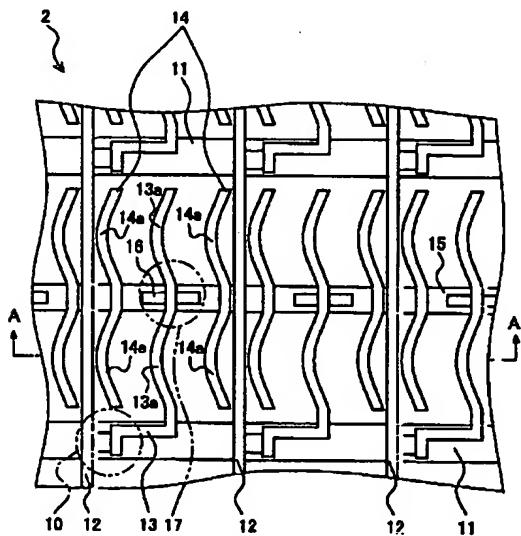
【図4】従来の液晶表示素子におけるアレイ基板を示す部分拡大平面図である。

【図5】上記従来の液晶表示素子の全体構成を示す、図4のB-B矢視断面図である。

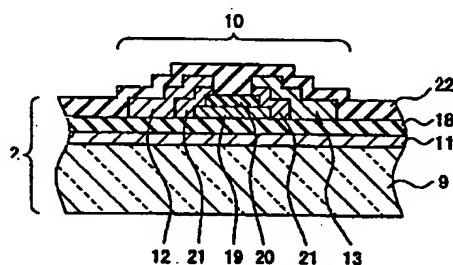
【符号の説明】

- 1 液晶表示素子
- 2 アレイ基板
- 3 対向基板
- 4 液晶層
- 10 薄膜トランジスタ (TFT) (スイッチング素子)
- 11 走査信号配線
- 12 映像信号配線
- 13 画素電極
- 14 対向電極

【図1】



【図3】







フロントページの続き

Fターム(参考) 2H090 LA04 MA02 MB14

2H092 GA14 JA26 JA29 JA38 JA42

JA44 JB13 JB23 JB32 JB33

JB38 JB57 JB63 JB69 KA05

KA07 KA12 KA16 KA18 MA05

MA08 MA14 MA15 MA16 MA18

MA19 MA20 MA27 MA35 MA37

MA41 NA01 NA25 PA02 QA18